

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-273168

(43)Date of publication of application : 29.09.1992

(51)Int.Cl.

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 03-058319

(71)Applicant : RICOH CO LTD

(22)Date of filing : 27.02.1991

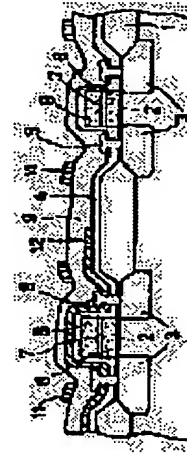
(72)Inventor : UEDA NAOHIRO
MAARI KOUICHI

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To enhance reliability of a memory cell which does not erase information by irradiation with ultraviolet beam and also realize a memory cell only with a single-layer metal structure.

CONSTITUTION: A charge holding electrode 6 is formed on a channel region via a gate oxide film 2 and a voltage application electrode 8 is also formed thereon via an oxide film 7. In a memory cell (left side in the figure) which does not erase information even by irradiation with ultraviolet beam, the charge holding electrode 6 and voltage application electrode 7 are covered with a silicon nitride film 12 via an interlayer insulating film 4. The silicon nitride film 12 does not transmit the ultraviolet beam and the information held by the charge holding electrode 6 is not erased even by irradiation with an ultraviolet beam in the memory cell covered with the silicon nitride film 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-273168

(43) 公開日 平成4年(1992)9月29日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
27/115				
		8225-4M	H 0 1 L 29/78	3 7 1
		8831-4M	27/10	4 3 4
			審査請求 未請求 請求項の数3(全 4 頁)	

(21) 出願番号 特願平3-58319

(22) 出願日 平成3年(1991)2月27日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 上田 尚宏

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 真有 浩一

東京都大田区中馬込1丁目3番6号 株式会社リコー内

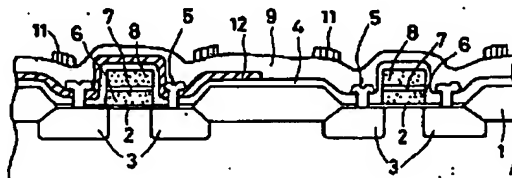
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 不揮発性半導体メモリ装置

(57) 【要約】

【目的】 紫外線照射によって情報を消去しないメモリセルの信頼性を高める。また、1層メタル構造でも実現できるようにする。

【構成】 チャネル領域上にゲート酸化膜2を介して電荷保持用電極6が形成され、その上に酸化膜7を介して電圧印加用電極8が形成されている。紫外線照射によっても情報を消去しないメモリセル（図の左側のメモリセル）においては、電荷保持用電極6と電圧印加用電極7は層間絶縁膜4を介してシリコン窒化膜12で被われている。シリコン窒化膜12は紫外線を透過させず、シリコン窒化膜12で被われたメモリセルでは紫外線照射によっても電荷保持用電極6に保持された情報は消去されない。



1

2

【特許請求の範囲】

【請求項1】 メモリセルのチャネル上のゲート酸化膜上に電荷保持用電極が形成され、その上に絶縁膜を介して電圧印加用電極が形成され、紫外線照射により電荷保持用電極の電荷を放出させてそのメモリセルの情報を消去する不揮発性半導体メモリ装置において、一部のメモリセルの電圧印加用電極と電荷保持用電極の側方及び上方がシリコン酸化膜を介して紫外線を透過しない絶縁膜で被われていることを特徴とする不揮発性半導体メモリ装置。

【請求項2】 メモリセルのチャネル上のゲート酸化膜上に電荷保持用電極が形成され、その上に絶縁膜を介して電圧印加用電極が形成され、紫外線照射により電荷保持用電極の電荷を放出させてそのメモリセルの情報を消去する不揮発性半導体メモリ装置において、一部のメモリセルの電圧印加用電極と電荷保持用電極の側方及び上方が紫外線を透過しない絶縁膜で直接被われていることを特徴とする不揮発性半導体メモリ装置。

【請求項3】 紫外線を透過しない絶縁膜がシリコン窒化膜である請求項1又は2に記載の不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は紫外線照射により情報を消去することのできるEPROMと称される不揮発性半導体メモリ装置に関するものである。

【0002】

【従来の技術】 EPROMではメモリセルのチャネル上のゲート酸化膜上に電荷保持用電極が形成され、その上に絶縁膜を介して電圧印加用電極が形成され、紫外線照射により電荷保持用電極の電荷を放出させてそのメモリセルの情報を消去する。図4にEPROMの主要部を示す。素子分離用シリコン酸化膜1で囲まれた活性領域にソース・ドレイン拡散領域3が形成され、ソース・ドレイン拡散領域3で挟まれたチャネル領域上にはゲート酸化膜2を介して電荷保持用ポリシリコン電極6が形成され、その上に酸化膜7を介して電圧印加用ポリシリコン電極8が形成されている。4はゲート電極6、8と第1層目のメタル配線との間を絶縁する層間絶縁膜であり、層間絶縁膜4のコンタクトホールを介して第1層目のメタル配線5がソース・ドレイン拡散領域3と接続されている。9は第1層目のメタル配線5と第2層目のメタル配線11との間を絶縁する層間絶縁膜である。

【0003】 このメモリセルにプログラムが施されて電荷保持用電極6に蓄積された保持電荷は、紫外線10の照射により消去される。このようなEPROMにおいて、特定用途用のものでは一部のメモリセルは紫外線照射によっても容易に消去されては困る場合がある。そのような用途のために、図5に示されるように一部のメモリセル上に第2層目のメタル層11aを形成し、それを

紫外線に対するマスクとして紫外線10が特定のメモリセルに入射しないようにすることが検討されている。

【0004】

【発明が解決しようとする課題】 図5のように第2層目のメタル層を用いて特定のメモリセルへの紫外線入射を遮断するEPROMでは、紫外線遮断用の第2層目のメタル層11aと電圧印加用電極8の間には2層の層間絶縁膜4、9が挟まれることになる。そのため、電荷保持用電極6に斜め方向から入射してきた紫外線や、第1層目のメタル配線5などで乱反射した紫外線などを十分に遮断することができず、情報保持用のメタル層11aが設けられているにもかかわらず、そのメモリセルの情報が消去されてしまう恐れがある。また、第2層目のメタル層で紫外線遮断用のマスクを形成するので、1層メタル構造の半導体装置ではこのEPROMを実現することはできない。

【0005】 本発明は紫外線照射によっても情報を消去しないメモリセルにおいては、斜め方向からの紫外線や乱反射による紫外線なども有効に遮断して電荷保持用電極に蓄えられている情報が消去されるのを防ぐことを目的とするものである。本発明はまた、2層メタル構造の半導体装置に適用することもできるが、1層メタル構造の半導体装置にも適用できるようにすることを目的とするものである。

【0006】

【課題を解決するための手段】 本発明ではEPROMの一部のメモリセルを紫外線照射により消去されないようにするためのマスクとしてメタル層を用いるのではなく、電荷保持用電極と電圧印加用電極を含む電極の側方及び上方を直接又はシリコン酸化膜を介して紫外線を透過させない絶縁膜によって被うことにより上記の目的を達成するものである。紫外線を透過しない絶縁膜は例えばシリコン窒化膜である。

【0007】

【作用】 電荷保持用電極と電圧印加用電極を含む電極の側方及び上方を直接又はシリコン酸化膜を介して紫外線を透過させない絶縁膜で被うと、紫外線が斜め方向に入射したり、乱反射した場合でも電荷保持用電極に紫外線が入射するのを防ぐことができる。

【0008】

【実施例】 図1は第1の実施例を表わす。素子分離用シリコン酸化膜1で囲まれた活性領域にソース・ドレイン拡散領域3が形成され、ソース・ドレイン拡散領域3で挟まれたチャネル領域上にはゲート酸化膜2を介して電荷保持用ポリシリコン電極6が形成され、その上に酸化膜7を介して電圧印加用ポリシリコン電極8が形成されている。紫外線照射によっても情報を消去しないメモリセル（図の左側のメモリセル）においては、電荷保持用電極6と電圧印加用電極8はシリコン窒化膜であるPSGなどの層間絶縁膜4を介してシリコン窒化膜12で被

3

われている。層間絶縁膜4の膜厚は10000Å未満であり、シリコン窒化膜12の膜厚は4000Å程度である。この程度のシリコン窒化膜12であれば紫外線を透過させず、シリコン窒化膜12で被われたメモリセルでは紫外線照射によっても電荷保持用電極6に保持された情報は消去されない。

【0009】図の右側のメモリセルでは層間絶縁膜4は形成されているが、シリコン窒化膜12は形成されていない。そのため、電荷保持用電極6に保持された情報は紫外線照射によって消去される。層間絶縁膜4のコンタクトホール、又はシリコン窒化膜12が設けられているメモリセルでは層間絶縁膜4とシリコン窒化膜12のコンタクトホールを介して、第1層目のメタル配線5がソース・ドレイン拡散領域3と接続している。メタル配線5上からは第2層目の層間絶縁膜9が形成され、その上に第2層目のメタル配線11が形成されている。メタル配線11は紫外線遮断用ではなく、層間絶縁膜9のスルーホールを介して電圧印加用電極8と接続され、純粋な配線用、例えばワードラインの裏打ち用に用いられている。

【0010】図2は第2の実施例を表わしている。図1の実施例と比較すると、紫外線照射によって情報を消去しないメモリセル（図の左側のメモリセル）における紫外線遮断用のシリコン窒化膜12が電荷保持用電極6と電圧印加用電極8を含む電極上に直接形成され、そのシリコン窒化膜12上に層間絶縁膜4が形成されている点で相違している。図1又は図2の実施例において、電圧印加用電極8の裏打ちのための第2層目メタル配線11が必要でない場合は、第2層目のメタル工程を省略することができる。

【0011】図3により図1の実施例の製造方法を説明する。

(A) 素子分離用シリコン酸化膜1を形成した後、熱酸化法によりゲート酸化膜2を形成し、電荷保持用電極用のポリシリコン膜を形成し、写真製版とエッチングによりそのポリシリコン膜にパターン化を施して電荷保持用電極6を形成する。熱酸化により酸化膜を形成し、その上に電圧印加用電極用のポリシリコン膜を形成し、写真製版とエッチングにより酸化膜と電圧印加用電極用のポリシリコン膜にパターン化を施して酸化膜7上の電圧印加用電極8を形成する。電圧印加用電極8及び電荷保持用電極6を含む電極とシリコン酸化膜1とをマスクとして自己整合的にイオン注入を行ない、ソース・ドレイン拡散領域3を形成する。

【0012】(B) 層間絶縁膜4をCVD法により堆積する。その上に、紫外線を透過させない膜としてシリコン窒化膜12をCVD法により4000Å程度の厚さに堆積させる。

(C) 写真製版とエッチングを行ない、紫外線照射によ

4

っても情報を消去させないメモリセルにシリコン窒化膜12を残すようにパターン化を施す。

(D) 層間絶縁膜4及び、紫外線照射によっても情報を消去させないメモリセル部分ではシリコン窒化膜12と層間絶縁膜4に写真製版とエッチングでコンタクトホールを形成する。

【0013】その後は通常の方法に従い、第1層目のメタル層を形成し、写真製版とエッチングによりそのメタル層にパターン化を施して第1層目のメタル配線5を形成する。その後、1層目のメタル配線と2層目のメタル配線との間の層間絶縁膜をCVD法で堆積し、その層間絶縁膜にスルーホールを設け、第2層目のメタル層を形成し、その第2層目の層間絶縁膜にパターン化を施して第2層目のメタル配線を形成すると、図1のEPROMが得られる。図2のEPROMは図3の工程で、層間絶縁膜4とシリコン窒化膜12の形成の順序を入れ替えるだけでよい。

【0014】

【発明の効果】本発明では紫外線照射によっても情報を消去しないメモリセルにおいては、電荷保持用電極上方だけではなく側方まで、紫外線を透過させない膜で被ったので、斜め方向から入射したり第1層目のメタル配線で乱反射したりした紫外線なども十分に遮断することができ、電荷保持状態の持続性が向上し、信頼性が高まる。従来のように第2層目のメタル層を紫外線遮断用に用いないので、第2層目のメタル層は電圧印加用電極の裏打ち用として処理速度を速めるようなデバイス特性向上のためにのみ用いることができ、もしそのような必要がなければ第2層目のメタル工程を省略することができて製造コストを低下させることができる。

【図面の簡単な説明】

【図1】第1の実施例を示す要部断面図である。

【図2】第2の実施例を示す要部断面図である。

【図3】図1の実施例の製造方法を示す工程断面図である。

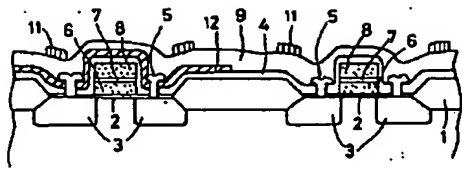
【図4】従来のEPROMを示す要部断面図である。

【図5】検討されているEPROMを示す要部断面図である。

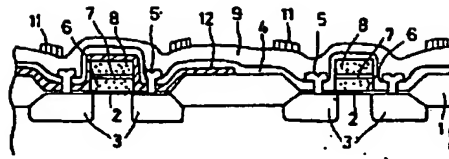
【符号の説明】

2	ゲート酸化膜
3	ソース・ドレイン拡散領域
5	第1層目メタル配線
6	電荷保持用電極
7	酸化膜
8	電圧印加用電極
4, 9	層間絶縁膜
11	第2層目メタル配線
12	紫外線を透過させない膜としてのシリコン窒化膜

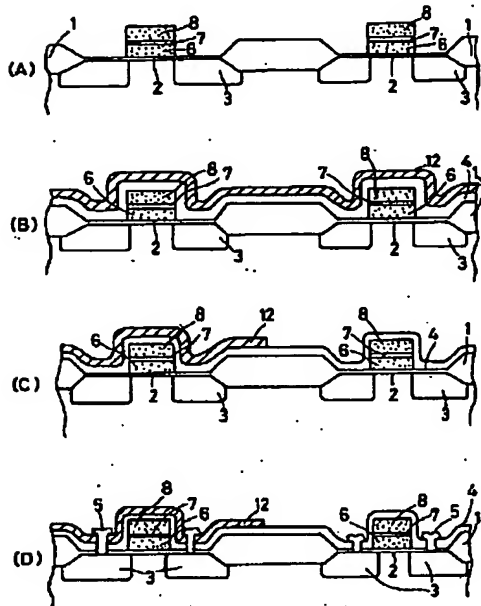
【図1】



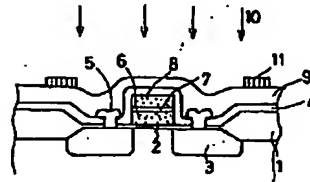
【図2】



【図3】



【図4】



【図5】

